

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

05431131 **Image available**

SEMICONDUCTOR CIRCUIT AND ITS MANUFACTURE

PUB. NO.: 09-045931 [JP 9045931 A]

PUBLISHED: February 14, 1997 (19970214)

INVENTOR(s): KOYAMA JUN

HAYAKAWA MASAHIKO

YAMAZAKI SHUNPEI

MIYANAGA SHOJI

OTANI HISASHI

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company

or Corporation), JP (Japan)

APPL. NO.: 07-262591 [JP 95262591]

FILED: September 13, 1995 (19950913)

INTL CLASS: [6] H01L-029/786; G02F-001/136; H01L-021/20; H01L-021/268;
H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors, MOS); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a semiconductor circuit, which has a low
leak current TFT(thin film transistor) and a high-speed TFT, and its
manufacture.

SOLUTION: A material which adheres to an amorphous silicon film 203 and has
a catalyst element is selectively formed or the catalyst element is
selectively introduced into the amorphous silicon film, and the amorphous
silicon film 203 is crystallized by applying laser beams or equivalent

strong beams. Then, the crystal silicon area 206a containing a small quantity of catalyst element is used for the TFT to be used for the pixel circuit of an active matrix circuit, and the crystal silicon area 206a containing a large quantity of catalyst element is used for the TFT to be used for the peripheral drive circuit. The TFT to be used for the pixel circuit is permitted to have an LDD structure.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45931

(43) 公開日 平成9年(1997)2月14日

(51) Int. Cl. ⁸	識別記号	F I		
H01L 29/786		H01L 29/78	612	B
G02F 1/136	500	G02F 1/136	500	
H01L 21/20		H01L 21/20		
21/268		21/268		Z
21/336		29/78	616	A
審査請求 未請求 請求項の数12 F D (全20頁) 最終頁に続く				

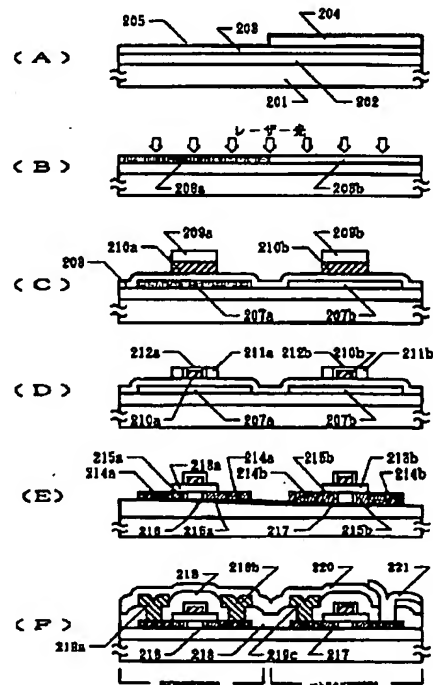
(21) 出願番号	特願平7-262591	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成7年(1995)9月13日	(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願平6-247123	(72) 発明者	早川 昌彦 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平6(1994)9月14日	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平6-288853		
(32) 優先日	平6(1994)10月28日		
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平7-145348		
(32) 優先日	平7(1995)5月19日		
(33) 優先権主張国	日本 (J P)		
		最終頁に続く	

(54) 【発明の名称】 半導体回路およびその作製方法

(57) 【要約】 (修正有)

【目的】 薄膜トランジスタ (TFT) の回路において、低リーク電流のTFTと高速動作が可能なTFTを有する半導体回路およびそのような回路を作製するための方法を提供する。

【構成】 アモルファスシリコン膜203に密着して触媒元素を有する物質を選択的に形成し、もしくはアモルファスシリコン膜中に触媒元素を選択的に導入し、このアモルファスシリコン膜203にレーザーもしくはそれと同等な強光を照射することによって結晶化させる。そして、触媒元素の少ない結晶シリコン領域206aをアクティブマトリクス回路の画素回路に使用されるTFTに用いて、触媒元素の多い結晶シリコン領域206aを周辺駆動回路に使用されるTFTに用いる。また、画素回路に使用されるTFTはLDD構造とする。



【特許請求の範囲】

【請求項1】 モノリシックアクティブマトリクス回路において、

周辺回路の薄膜トランジスタの活性領域は、意図的に導入された触媒元素を含有し、

マトリクス回路の薄膜トランジスタの活性領域中の前記触媒元素の濃度は、前記周辺駆動回路の薄膜トランジスタの活性領域中よりも低く、

前記マトリクス回路の薄膜トランジスタは、

ソース領域と、ドレイン領域とを構成する一対の高濃度不純物領域と、

前記ソース領域と、ドレイン領域とチャネル形成領域との間に形成された一対の低濃度不純物領域とを有することを特徴とする半導体回路。

【請求項2】 請求項1において、前記周辺回路の薄膜トランジスタの活性領域中の前記触媒元素の濃度は、 $1 \times 10^{11} \sim 1 \times 10^{14}$ 原子/cm² であることを特徴とする半導体回路。

【請求項3】 請求項1において、前記マトリクス回路の薄膜トランジスタの活性領域の触媒元素の濃度は、 1×10^{14} 原子/cm² 未満であることを特徴とする半導体回路。

【請求項4】 請求項1において、前記触媒元素として、Fe、Co、Ni、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素が用いられることを特徴とする半導体回路。

【請求項5】 請求項1において、前記触媒元素の濃度は、2次イオン質量分析法により測定された値の最小値で定義されることを特徴とする半導体回路。

【請求項6】 請求項1において、

前記マトリクス回路の薄膜トランジスタは、前記チャネル形成領域と前記一対の低濃度不純物領域との間に形成された一対のオフセットゲート領域を有することを特徴とする半導体回路。

【請求項7】 モノリシックアクティブマトリクス回路において、

周辺回路の薄膜トランジスタの活性領域は、珪素の結晶化を助長する触媒元素を含有し、

前記周辺回路の薄膜トランジスタの活性領域に含有されている前記触媒元素の単位面積当たりの量は、前記マトリクス回路の薄膜トランジスタの活性領域に含有されている前記触媒元素の単位面積当たりの量の10倍以上であり、

前記マトリクス回路の薄膜トランジスタは、

ソース及びドレイン領域を構成する一対の高濃度不純物領域と、

前記ソース及びドレイン領域とチャネル形成領域との間に形成された一対の低濃度不純物領域と、

を有することを特徴とする半導体回路。

【請求項8】 アモルファス状態のシリコン膜と、該シ

リコン膜に実質的に密着して触媒元素を有する被膜とが形成された第1の領域と、前記触媒元素を有する被膜がシリコン膜に実質的に密着して形成されていない第2の領域を形成する第1の工程と、

レーザーもしくはそれと同等な強光を照射することにより、前記第1の領域及び前記第2の領域のシリコン膜を結晶化させる、あるいは結晶化を促進させる、あるいは、結晶性を高める第2の工程と、

前記第1の領域及び前記第2の領域のシリコン膜をエッチングして、島状の活性領域を形成する第3の工程と、を有し、

前記活性領域を使用して、ライトドープドレイン領域を有する薄膜トランジスタを作製することを特徴とする半導体回路の作製方法。

【請求項9】 シリコン膜に触媒元素が意図的に導入された第1の領域と、前記シリコン膜に触媒元素が意図的に導入されていない第2の領域とを形成する第1の工程と、

レーザーもしくはそれと同等な強光を照射することにより、前記第1の領域及び前記第2の領域のシリコン膜を結晶化させる、あるいは結晶化を促進させる、あるいは結晶性を高める第2の工程と、

前記第1の領域および前記第2の領域のシリコン膜をエッチングして、島状の活性領域を形成する第3の工程と、を有し、

前記活性領域を使用してライトドープドレイン領域を有する薄膜トランジスタを作製することを特徴とする半導体回路の作製方法。

【請求項10】 請求項8もしくは9において、前記第1の工程と前記第2の工程の間に、450～580℃の温度で、前記第1の領域及び第2の領域のシリコン膜を熱アニールする工程を有することを特徴とする半導体回路の作製方法。

【請求項11】 請求項8もしくは9において、第2の工程と第3の工程の間に、450～580℃の温度で、前記第1の領域および第2の領域のシリコン膜を熱アニールする工程を有することを特徴とする半導体回路の作製方法。

【請求項12】 モノリシックアクティブマトリクス回路において、

周辺回路及び前記マトリクス回路の薄膜トランジスタの活性領域は意図的に導入された触媒元素を含有し、

マトリクス回路の薄膜トランジスタの活性領域中の前記触媒元素の濃度は、前記周辺駆動回路の薄膜トランジスタの活性領域中での濃度よりも低く、

前記周辺回路の薄膜トランジスタと、前記マトリクス回路の薄膜トランジスタとは、

ソース領域及びドレイン領域を構成する一対の高濃度不純物領域と、

前記ソース領域及び前記ドレイン領域とチャネル形成領

域との間に形成された一対の低濃度不純物領域と、前記ソース領域及び前記ドレイン領域と前記一対の低濃度不純物領域との間に形成された一対のオフセットゲート領域と、

を有することを特徴とする半導体回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本明細書で開示する発明は、薄膜トランジスタにより構成される半導体回路と、その作製方法に関するものである。本発明に係る半導体回路は、10 ガラス等の絶縁基板上、あるいは単結晶シリコン等の半導体基板上の何れにも作製することができる。特に、本明細書で開示する発明は、液晶ディスプレイ等を使用されているモノリシック型アクティブマトリクス回路のように、低いオフ電流と、素子毎にオフ電流のバラツキの小さいことが要求されるマトリクス回路と、それを駆動する高速動作とオン電流のバラツキの小さいことが要求される周辺回路を有する半導体回路において効果を発揮する。

【0002】

【従来の技術】近年、絶縁基板上に、薄膜状の活性層（活性領域ともいう）を有する絶縁ゲート型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲートトランジスタ、いわゆる薄膜トランジスタ（以下、TFTと称する）が熱心に研究されている。例えば、マトリクス構造を有する液晶表示装置において、TFTは透明な絶縁基板上に形成され、画素のスイッチング素子や、駆動回路のドライバー素子として利用されている。

【0003】TFTは使用する薄膜半導体の材料・結晶状態によって、アモルファスシリコンTFTや結晶性シリコンTFTのように区別されている。一般にアモルファス状態の半導体の電界移動度は小さいため、高速動作が要求されるTFTには利用できない。そこで、最近では、より高性能な回路を作製するため結晶性シリコンTFTの研究・開発が進められている。

【0004】結晶性半導体はアモルファス半導体よりも電界移動度が大きく、高速動作が可能である。また結晶性シリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能である。例えば、アクティブマトリクス方式の液晶表示装置における周辺回路（ドライバー等）を構成するCMOS回路をTFTで構成することができる。40 なお、結晶性のシリコン膜を得る方法としては、アモルファスシリコンを600℃前後もしくはそれ以上の高温で長時間熱アニールする方法、又はレーザー光等の強光を照射する方法（光アニール法）が知られている。

【0005】図1（A）に、液晶ディスプレイに用いられる代表的なモノリシックアクティブマトリクス回路のブロック図を示す。ガラス基板7上には、列デコーダー／ドライバー1、行デコーダー／ドライバー2が設けら50

れて、周辺回路が構成されている。また、マトリクス領域3には、スイッチング用のトランジスタとキャパシタからなる画素4がマトリクス状に配置されている。周辺回路とマトリクス回路とは行数、列数と同じ本数の配線5、6により接続されている。

【0006】図1（A）に示すアクティブマトリクス回路において、周辺回路に用いられるTFTは高速動作が要求されている。そのため選択時の電流（オン電流）が大きく、かつ、素子毎にオン電流の値の分散が小さいことが要求される。他方、マトリクス回路に用いられるTFTはキャパシタに蓄積された電荷が長時間保持されるような特性が必要とされる。即ち、非選択時（ゲート電極に逆バイアス電圧が印加されている状態）のオフ電流（リーク電流）が十分に小さく、かつ、素子毎にこのオフ電流の値が分散が小さいことが要求される。逆にオン電流はそれほど大きな値である必要はない。具体的にはオフ電流は1pA以下であることが、その分散は1桁以内であることが要求される。このように、周辺回路領域とマトリクス回路のTFTには、互いに物理的に矛盾する特性が要求されているが、それぞれの特性を満足するTFTを同一基板上に、同一のプロセスにより形成することが求められている。

【0007】

【発明が解決しようとする課題】しかしながら、一般的に、同一のプロセスで作製したTFTは全て同様な特性を示す。例えば、熱的なアニール（熱アニール）により結晶化された結晶性シリコンを用いたTFTは、マトリクス領域のTFTも周辺回路領域のTFTも同様な特性を示す。即ち、得られるTFTは、低オフ電流が高オン電流かいずれかの特性しか満足することはできない。このことは、レーザー光等の強光の照射によって結晶化されたシリコンを用いた場合でも同様である。このように、マトリクス回路に好適な低オフ電流特性を有するTFTと、周辺回路に好適な高オン電流特性を有するTFTとを同じ基板上に作製することは困難である。

【0008】本明細書で開示する発明の目的は、上述した問題点を解決して、周辺回路に好適なマトリクス回路に好適な低オフ電流特性を有するTFTと、高オン電流特性を有するTFTとを同一の基板上に集積化した半導体回路を提供することにある。また、本発明の他の目的は、低オフ電流特性を有するTFTと、高オン電流特性を有するTFTとを同一のプロセスを利用して、同一の基板上に作製する技術を提供することにある。

【0009】

【課題を解決するための手段】上述の問題点を解決するために、本発明に係る半導体回路の構成は、モノリシックアクティブマトリクス回路において、周辺回路の薄膜トランジスタの活性領域は、触媒元素を含有し、マトリクス回路の薄膜トランジスタの活性領域中の触媒元素の濃度は、周辺駆動回路の薄膜トランジスタの活性領域中

よりも低く、マトリクス回路の薄膜トランジスタは、ソース領域と、ドレイン領域とを構成する一対の高濃度不純物領域と、前記ソース領域と、ドレイン領域とチャネル形成領域との間に形成された一対の低濃度不純物領域とを有することを特徴とする。

【0010】本発明者の研究の結果によれば、実質的にアモルファス状態のシリコン被膜に微量の金属元素を添加することにより、シリコンの結晶化が促進されると共に、結晶化温度を低下させ、結晶化時間を短縮できることが明らかになっている。触媒材料としては、Fe、C

o、Ni、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素を用いることができる。

【0011】触媒元素を含有する結晶性シリコン膜を得るには、具体的には、触媒元素を有する被膜、粒子、クラスター等をアモルファスシリコンに密着させ、あるいはイオン注入法等の方法によってアモルファスシリコン膜中にこれらの触媒元素を導入する。次にこれを典型的には450～580℃の温度で、4～8時間程度加熱する。こうすることによって、結晶性シリコン膜を得ることが

【0012】さらに興味深いことに、このような触媒元素が拡散するに従って、シリコンの結晶化が進行することが明らかになっている。このため、触媒元素を添加した近傍の領域が、触媒元素が拡散することによって結晶化される。即ち、触媒元素が拡散するに従って、横方向へ結晶化が進行する。このような結晶化方法をヨコ成長と称する。これに対して、特に横方向への結晶成長を意図しない結晶化方法をタテ成長と称する。このようにして得られた結晶性シリコンは結晶の方向性が存在するため、電気的に極めて好ましい特性を示す。

【0013】また、上記のような熱アニール以外に、レーザー光もしくはそれと同等な強光を照射することによっても同様に結晶化せしめることができる。レーザー光もしくはそれと同等な強光のエネルギー密度は、照射される光源の波長、パルス幅、アモルファスシリコン（もしくは結晶性シリコン）の膜の温度等に依存する。

【0014】TEM（透過型電子顕微鏡）による観察で、熱アニールによって結晶化せしめたシリコン膜は未結晶化部分が存在することが確認されている。しかし、レーザー光等の強光の照射によって結晶化せしめたシリコン膜、あるいは熱アニールによってある程度以上の結晶性を得たシリコン膜にレーザー光を照射したものは、上記のような未結晶化部分はほとんど存在せず、極めて結晶性が良好であることが判明している。

【0015】かくすることにより、結晶化の程度を向上せしめることが可能となる。また、熱的なアニールだけでは除去できない結晶粒界の障壁を弱め、粒界に残存するアモルファス成分をも結晶化させることができる。また、このような方法を採用する場合には、熱的なアニ

ルによる結晶化の度合いが低くても、その後のレーザー照射によって完全な結晶化を成就することができる。

【0016】このように触媒元素を利用することによって結晶化せしめたシリコン膜を用いて得られるTFTはオン電流が大きく、また、オン電流のバラツキの小さいものとすることができる。すなわち、アクティブマトリクス回路の周辺回路に好適な素子とすることができる。しかしながら、触媒元素を利用することによって結晶化せしめたシリコン膜を用いて得られるTFTは、オフ電流のバラツキが大きなものになってしまう。これはマトリクス回路に用いるには致命的な欠点となる。このオフ電流のバラツキは、触媒元素に由来するものとも推定されるが確かなことは不明である。

【0017】ただし、このことは触媒元素が実用的でないことを意味するのではない。なぜなら、触媒元素の添加は選択的におこなうことが可能であるため、同一基板上に、触媒元素を用いて結晶化させたシリコン膜と、触媒元素を用いない結晶化させたシリコン膜を形成することが可能である。従って、触媒元素を用いて結晶化させたシリコン膜を使用することにより、周辺回路のTFTを高移動度を有するものとすることができ、また、触媒元素を用いない結晶化させたシリコン膜を使用することにより、画素マトリクス回路のTFTを低移動度であるけれども低オフ電流特性を有するものとすることができる。

【0018】触媒元素を用いて結晶化させたシリコンを用いて作製しようとしたが、触媒元素はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。（この点に関しては、溶液を用いた触媒元素の導入法が有利となる）また、触媒元素を有する被膜にレーザー光もしくはそれと同等な強光を照射することによって、結晶化に必要な触媒元素の濃度を下げることができる。

【0019】触媒元素の濃度を選択的に異ならせるためには、触媒元素を導入量を選択的に制御する。イオンドープング法を用いる場合には、そのドーズ量を選択的に制御すればよい。また、触媒元素を含む層を実質的にシリコン膜に密着して形成する場合には、その厚さやその層を構成する化合物中における触媒元素の濃度を選択的に制御すればよい。また、選択的に触媒元素を導入しないようにするためには、マスクを用いることにより、選択的に触媒元素が導入されないようにする。

【0020】本発明者の研究の結果によれば、触媒元素の濃度を、 $1 \times 10^{11} \sim 1 \times 10^{13}$ 原子/cm²、好ましくは $1 \times 10^{11} \sim 2 \times 10^{13}$ 原子/cm² とすることにより、半導体素子を形成する上で支障のない結晶性半導体を得られることが判明している。従って、触媒元素の含有濃度は、周辺回路のTFTのシリコン膜では $1 \times 10^{11} \sim 1 \times 10^{13}$ 原子/cm² であることが好ましく、マトリクス回路のTFTのシリコン膜では 1×10

「原子/cm」未満であることが好ましい。なお、このような微量の濃度の測定方法としては2次イオン質量分析法(SIMS)を用いるとよい。この場合、同じ珪素膜でも、界面付近と膜の内部とでは濃度が異なるように測定されることがあるが、触媒元素の濃度はシリコン膜の界面、内部を問わず、計測値の最小値として定義される。

【0021】或いは、シリコン膜に導入される触媒元素の量は、濃度よりも単位面積当たりの量(すなわち、ドーズ量)によって定義すると簡単である。従って、本発明に係る半導体回路において、周辺回路の薄膜トランジスタの活性領域に含有される触媒元素の単位面積当たりの量は、マトリクス回路の薄膜トランジスタの活性領域に含有される触媒元素の単位面積当たりの量の10倍以上であることが好ましい。

【0022】更に、本発明に係る半導体回路において、特に、マトリクス回路のTFTには低オフ電流特性を徹底するために、ソース及びドレイン領域とチャネル形成領域との間に不純物をライトドープした低不純物領域を形成する。この低不純物領域のドレイン側の領域は、一般にLDD(ライトドープドレイン)領域と呼ばれている。LDD領域は高抵抗領域として機能するため、オフ電流を減少させることができる。更に、マトリクス回路のTFTに、チャネル形成領域と、低濃度不純物領域との間に、所謂オフセットゲイト領域も形成するようにしてもよい。オフセットゲイト領域も高抵抗領域として機能するため、オフ電流をより低下させることができる。

【0023】なお、周辺回路のTFTにもオフ電流をより低下させるために、オフセット領域を形成してもよい。しかしながら、LDD領域、オフセット領域は高抵抗領域であるため、TFTの移動度を低下させてしまうので、周辺回路のTFTの移動度を損なわないようにする必要がある。そのため、例えばLDD領域、オフセット領域の幅を周辺回路のTFTよりも狭くするとよい。

【0024】上記の構成を有する半導体回路を形成する工程は、

(1) アモルファス状態のシリコン膜およびそれに実質的に密着して触媒元素を有する被膜が形成された第1の領域と、実質的に触媒元素を有する被膜がシリコン膜に密着して形成されていない第2の領域を形成する工程。

(2) 加熱処理により、第1の領域のみ、または第1の領域と第2の領域を結晶化させる工程。

(3) 前記第1および第2のシリコン膜の領域にレーザー光もしくはそれと同等な強光を照射することによって結晶化せしめる、あるいは、結晶化を促進せしめる、もしくは、結晶性を高める工程。

(4) 前記シリコン膜をエッチングして島状の活性領域を形成する工程。

【0025】あるいは、上記の構成を有する半導体回路を形成する他の工程は、

(1) シリコン膜に触媒元素が意図的に導入された第1の領域と、シリコン膜に触媒元素が意図的に導入されていない第2の領域を形成する工程

(2) 加熱処理を施し、前記第1、または前記第1および第2の領域を結晶化させる工程。

(3) 前記第1および第2の領域のシリコン膜にレーザーもしくはそれと同等な強光を照射することによって結晶化せしめる、あるいは、結晶化を促進せしめる、もしくは、結晶性を高める工程

(4) 前記シリコン膜をエッチングして島状の活性領域を形成する工程から成る。

【0026】触媒元素を被膜状に形成する場合には、触媒元素濃度は十分に低いため、膜厚は極めて薄いものとなる。このような被膜の形成方法の一つとしては、スパッタリング、真空蒸着等の真空装置を用いる方法がある。また、他の方法として、スピンコーティング法、ディップ(浸漬)法のような大気圧中でおこなれる方法がある。これらの方法は、簡便で生産性が高い。この場合には、触媒元素を含有する酢酸塩、硝酸塩、有機酸塩等を適当な溶媒に溶かして、適切な濃度に調整した溶液を用いればよい。

【0027】スパッタリング、真空蒸着等の一般的な物理的成膜方法では、100Å以下というような極薄い膜を均一に成膜することが困難であり、最終的に珪素膜中における触媒元素の濃度を制御することが困難となる不利がある。

【0028】特に溶液を用いたスピンコーティング法は、触媒元素を均一に薄く存在させることができるので、均一な結晶成長を行わずためには有用な手段となる。また、この方法においては、溶液中の触媒元素濃度を容易に制御することができるので、最終的に珪素膜中における触媒元素の濃度を容易に制御することができる。

【0029】上記工程(1)では、「実質的に」シリコン膜に触媒元素を有する被膜が密着することが要件とされている。ここで、「実質的に」とは、直接に接触していてもよいし、薄い被膜を介して間接的に接触していてもよい。これは、数十Å程度の薄い酸化珪素膜等が存在していても、触媒元素を導入することが可能であることによる。

【0030】また、上記工程(1)では、触媒元素が導入された領域を形成するには、イオン注入法等の手段によってなされてもよい。また触媒元素化合物の被膜を形成し、熱アニールすることによって触媒元素を導入してもよい。

【0031】また上記工程(1)において、触媒元素が導入された領域を加熱しても結晶化するとは限らな

い。例えば、300℃程度の温度で加熱処理を加えた場合、アモルファスシリコンは結晶化しないが、触媒元素をアモルファスシリコン中に拡散させることができる。

【0032】本明細書で開示する発明の好ましい実施形態としては、以下の4つが考えられる。第1は、主として周辺回路に選択的に触媒元素を添加するように配置したのち、基板全面にわたってレーザー光の照射による光アニールをおこない、周辺回路、マトリクス回路とも結晶化をおこなう方法である。この場合、レーザー光の照射によるアニール効果が、触媒元素の有無、または触媒元素の濃度の違いによって異なることにより、結晶性の異なる領域を選択的に得ることができる。

【0033】第2は、主として周辺回路に選択的に触媒元素を添加するように配置したのち、熱アニールをおこなって、主として周辺回路を結晶化せしめる、もしくは結晶性を高める。その後、基板全面にわたってレーザー光の照射による光アニールをおこない、周辺回路、マトリクス回路とも結晶化せしめる、もしくは、結晶性を高める方法である。

【0034】アニール温度が高いほど結晶化時間は短いという関係がある。また、触媒元素の濃度が大きいほど結晶化温度が低く、また同時に結晶化時間が短いという関係がある。熱アニールを600℃以上の高温で行えば、触媒元素が導入されていない領域を含めて、全面が結晶化されるが、550℃、4時間程度の加熱を行った場合は、触媒元素が導入された領域、あるいは触媒元素の濃度の高い領域のみを選択的に結晶化することができる。その後、光アニールによって、先に結晶化された領域の結晶化の助長と、まだ結晶化されていない領域の結晶化とを行うことができる。

【0035】第3は、主として周辺回路に選択的に触媒元素を添加するように配置した後に、基板全面にわたって光アニールをおこない、周辺回路、マトリクス回路とも結晶化せしめる、もしくは、結晶性を高める。その後、熱アニールをおこなう方法である。

【0036】第4は、主として周辺回路に選択的に触媒元素を添加するように配置したのち、熱アニールをおこなって、主として周辺回路を結晶化せしめる、もしくは結晶性を高める。その後、基板全面にわたって光アニールをおこない、周辺回路、マトリクス回路とも結晶化せしめる、もしくは、結晶性を高める。さらに、その後、熱アニールをおこなう方法である。上記の第2および第4の方法においては触媒元素を用いた熱アニールによる結晶化をおこなう工程が存在するが、それは、ヨコ成長でもタテ成長でもよい。

【0037】また基板として石英基板を用い、結晶化のための加熱処理を800℃～1100℃の温度で行うことは、より高い結晶性を得るという意味では非常に有用なものとなる。この場合、結晶化を助長する金属元素の作用を最大限に利用することができ非常に結晶性に優れ

た結晶性珪素膜を得ることができる。

【0038】

【作用】上記の構成を有する半導体回路は、触媒元素の少ないシリコン膜を使用して、アクティブマトリクス回路のTFTを作製する。シリコン膜に触媒元素を少ない濃度で導入する又は導入しないことにより、結晶化の程度が低い（秩序性が相対的に低い）活性領域を形成することができる。このような活性領域を使用することにより、移動度は小さいが、バラツキのない低オフ電流特性を有するTFTを得ることができる。

【0039】更に、触媒元素の多いシリコン膜を使用して、周辺回路のTFTを作製する。即ち、触媒元素を比較的高濃度でシリコン膜に導入して、その作用を利用することで、結晶化の程度が高い（秩序性が相対的に高い）活性領域を形成することができ、その活性領域を用いることによって大きな移動度を有し、大きなオン電流を流すことの可能なTFTを得ることができる。

【0040】即ち、低オフ電流特性を有するTFTと、高オン電流特性を有するTFTという矛盾する特性を有する2種類のTFTを同一基板上に選択的に、かつ一連の同一のプロセスにおいて作製する。

【0041】特に、画素マトリクス領域に配置されるTFTにLDD領域を形成することで、さらに画素マトリクス領域に配置されるTFTを低オフ電流特性を有したものとすることができる。

【0042】本明細書で開示する発明では、低オフ電流が要求されるTFTを構成する部分の触媒元素の濃度を、高速TFTを構成する部分の触媒元素の濃度よりも小さくすることが要求される。この濃度の違いに関しては、後者の領域の単位面積当たりの触媒元素の量が前者の場合の10倍以上であることが好ましい。

【0043】特に触媒元素は、珪素膜中においてトラップ準位を構成し、オフ電流特性を悪化させる要因となるので、低オフ電流特性が要求される画素領域に配置されるTFTを構成する珪素膜中には、なるべく存在しないようにすることが好ましい。

【0044】触媒元素がオフ電流特性を悪化させるのは以下の理由による。即ち、触媒元素に起因して存在するトラップ準位を経由するキャリアがオフ電流に寄与し、オフ電流の増加につながってしまう。

【0045】具体的には、よりオフ電流を低下させるためには、低オフ電流が要求されるTFTの活性領域の触媒元素の濃度を 1×10^{11} 原子/cm²未満とすることが望ましい。

【0046】また、低オフ電流特性が必要とされる回路に配置される薄膜トランジスタには、低濃度不純物領域を配置し、高速動作が必要とれる領域に配置される薄膜トランジスタには、低濃度不純物領域を配置しない構成とすることは好ましい。しかし、必要とする特性を得るためには、高速動作が要求されている周辺回路の薄膜ト

ランジスタにも低濃度不純物領域形成してもよい。

【0047】上記に示した明細書で開示する本発明の4つの好ましい実施形態において、第3および第4の場合においては、光アニールをおこなった後に、熱アニールを行う。これは、光アニールによって生じた応力歪みを除去するうえで有効である。また、光アニールをレーザー光の照射によって行う場合、膜中に欠陥が形成されるが、その欠陥を減少させるにも熱アニールは効果がある。

【0048】また、第2および第4の場合において、触媒元素添加後に熱アニールを行うが、この工程においては触媒元素が添加された領域では結晶化が進行するが、触媒元素が添加されていない領域においても、アモルファスシリコン膜から十分に水素が離脱するため、その後の光アニールの効果をより大きなものとすることができる。このような目的のためには、熱アニールは450～580℃で0.5～8時間行うとよい。

【0049】本発明に係る半導体回路が効果を最も顕著に発揮するのは、モノリシック型アクティブマトリクス回路に应用する場合であるが、モノリシック型アクティブマトリクス回路に限定されず、他の回路においても効果を有することは明らかである。

【0050】例えば、図1(B)に示されるように、液晶表示装置とコンピュータ等から成る制御部とが一体化されたシステムにおいて本発明を応用することを考える。液晶表示装置は行デコーダー／ドライバーと、列デコーダー／ドライバーと、アクティブマトリクス回路から成る。他方、制御部は、装置全体を制御するためのCPUを有し、CPUには、補正メモリー、メモリーの入出力が接続されている。更に、CPUには、装置外部からの情報が入力される入力ポートの出力が接続され、また、CPUの出力はXY分岐を介して、行デコーダー／ドライバーと、列デコーダー／ドライバーとにそれぞれ接続されている。なお、補正メモリーは個々の画素の特徴をデータとして記憶するためのものであり、これには不揮発性のメモリーを使用することが好ましい。メモリーはDRAM、SRAMのようなランダム・アクセス・メモリー(RAM)とすればよい。

【0051】液晶装置の周辺回路、アクティブマトリクス回路に本発明の半導体回路を適用できることは、上述の説明のとおりである

ここでは、制御部の補正メモリー、メモリー、CPUに使用されているランジスタに本発明を応用することを考える。メモリーはRAMであるので、オフ電流が小さく、かつその値の分散が素子毎に小さいことが要求される。また、CPUに使用されるランジスタには高速動作が要求される。

【0052】この場合には、メモリーのランジスタには前者には触媒元素を導入せずに形成した結晶性シリコン膜を用い、CPUのランジスタには触媒元素を導入

して作製した結晶性珪素膜を用いればよい。この矛盾を解決することができる。なお、補正メモリーは特にオフ電流が低いことや、優れた高速動作が必要とされるわけではないので、補正メモリーのランジスタには触媒元素を導入しない結晶性シリコン膜を用いて作製すると、データを安定して保持させることができる。

【0053】

【実施例】本発明を図示の実施例に基づいて、詳細に説明する。

【実施例1】図2に本実施例の作製工程を示す。図2に示すのは、アクティブマトリクス型の液晶表示装置を構成する一方の基板の作製工程である。本実施例は、モノリシック型アクティブマトリクス回路の作製方法に関するものであり、周辺回路はCMOS化されている。図2には、簡略化のために、周辺回路の部分はNMOSのみを図示しており、左側が周辺回路であり、右側がマトリクス回路である。

【0054】まずガラス基板201にプラズマCVD法によって厚さ2000Åの下地膜となる酸化珪素膜202を成膜する。原料ガスにはモノシラン(SiH_4)と一酸化二窒素(N_2O)を用い、成膜時の基板温度は380～500℃、例えば、230℃とする。

【0055】このようにして成膜した酸化珪素膜202はエッチングレートが比較的低く、固い膜とすることができる。これは原料ガスに一酸化二窒素を用いたので、膜中に窒素が1～10%含有される酸化窒化珪素膜となるためである。この酸化珪素膜202の典型的なエッチングレートは、フッ化水素酸とフッ化アンモニウムと酢酸の比率が1:50:50である酢酸緩衝フッ酸(ABHF)による23℃でのエッチングにおいて800～1100Å/分程度となる。その後、プラズマCVD法または減圧熱CVD法によって、厚さ500Åのアモルファスシリコン膜203を成膜する。

【0056】さらに、プラズマCVD法によって厚さ1000Åの酸化珪素膜204を成膜する。この際には、原料ガスとしてTEOSと酸素を用いる。このようにして成膜された酸化珪素膜204は、先に成膜された酸化珪素膜202に比較してエッチングレートが大きく、典型的には2000～3000Å/分(ABHF、23℃)を示す。次に酸化珪素膜204を公知のフォトリソグラフィ法によってパターニングする。こうして、周辺回路領域のアモルファスシリコン膜203をのみを露呈させる。この酸化珪素膜204は、珪素の結晶化を助長する触媒元素を導入する際に、マスクとして機能する。更に、酸化雰囲気において550℃で1時間熱アニールすることにより、露出されたアモルファスシリコン膜203の表面に極めて薄い(40～100Åと推定される)酸化珪素膜を形成する。

【0057】スピンコーティング法により、1～100ppmの酢酸ニッケル水溶液を塗布して、極めて薄い酢

10

20

30

40

50

酸ニッケル薄膜 205 を形成する。これにより、珪素の結晶化を助長する触媒元素であるニッケル元素がアモルファスシリコン膜 203 上に接して保持された状態とされる。なお、予めアモルファスシリコン膜 203 表面に薄い酸化珪素膜を形成したのは、水溶液がアモルファスシリコン膜 203 の表面に均一に塗布されるようにするためである。(図 2 (A))

【0058】次に、窒素雰囲気中において、550℃、4時間の熱アニールを行う。酢酸ニッケル薄膜 205 は 400℃程度で分解してニッケルとなる。周辺回路領域では、酢酸ニッケル薄膜 205 がアモルファスシリコン膜 203 に実質的に密着しているため、この熱アニール工程により、ニッケル元素がアモルファスシリコン膜 203 に拡散する。その結果、アモルファスシリコン膜 203 は結晶化(タテ成長)して、結晶性シリコン領域 206 a が形成される。

【0059】他方、マトリクス回路領域では酸化珪素膜 204 が存在するために、ニッケル元素はアモルファスシリコン膜 203 に拡散できない。また、550℃の熱アニールでは触媒元素の存在しないアモルファスシリコンは殆ど結晶化されないため、マトリクス回路領域のアモルファスシリコン膜 203 はアモルファス状態のままであるが、膜中の水素が放出される。

【0060】CVD法(特にプラズマCVD法)によって堆積されたアモルファスシリコン膜 203 は水素含有量が高く、成膜状態で10%程度またはそれ以上の水素が含有されているが、この熱アニールによって、マトリクス回路領域のアモルファスシリコン膜 203 中に含まれていた水素が十分に放出されて、水素含有量が0.1%以下のほぼシリコンのみからなるアモルファスシリコンを得ることができる。このように水素が離脱したアモルファスシリコンは非常に容易に結晶化することができ、またレーザー光の照射等によって再現性良く結晶化できる。

【0061】熱アニール工程の後に、ニッケル元素に対するマスクである酸化珪素膜 204 を除去して、マトリクス領域のアモルファスシリコン膜 203 を露出させて、XeClエキシマーレーザー光(波長308nm)を照射する。本実施例では、レーザーのエネルギー密度は250~300mJ/cm²とする。この結果、結晶性シリコン領域 206 a の結晶性はより向上する。また、マトリクス回路領域のアモルファスシリコン膜 203 は結晶化されて、結晶性シリコン領域 206 b に変成される。さらに、レーザー照射による応力歪みを緩和するために、再び、熱アニールを行う。本実施例では、550℃、4時間の熱アニールを行う。(図 2 (B))

【0062】本実施例では、レーザー照射前に熱アニール工程において、マトリクス回路領域のアモルファスシリコン膜 203 の水素濃度を十分に低下させているので、レーザー光が照射低いエネルギー密度でも、結晶性シリコン領

域 206 b は必要とすべき結晶性を有する。

【0063】その後、結晶性シリコン領域 206 a、206 b をそれぞれエッチングして島状の活性領域 207 a、207 b を形成する。スパッタ法によって、厚さ1200Åの酸化珪素膜 208 をゲイト絶縁膜として形成する。さらに、スパッタ法によって厚さ4000Åのアルミニウム膜(0.2~0.5重量%のスカンジウムを含有する)を形成する。そして、その表面を陽極酸化することにより、厚さ100~300Åの酸化アルミニウム膜(図示せず)を形成した後に、フォトリソのマスク 209 a、209 b を形成し、アルミニウム膜をエッチングして、ゲイト電極 210 a、210 b を形成する。なお、エッチングに用いたフォトリソのマスク 209 a、209 b はそのまま残しておく。(図 2 (C))

【0064】次に、本出願人により特開平 6 - 3 3 8 6 1 2 号に開示されるように、フォトリソのマスク 209 a、209 b を付けたまま多孔質陽極酸化を行う。この工程で、ゲイト電極 210 a、210 b の側面に多孔質陽極酸化物 211 a、211 b が形成される。本実施例では多孔質陽極酸化物 211 a、211 b の厚さは3000~10000Å、例えば、5000Åとする。この多孔質陽極酸化物 211 a、211 b の厚さにより、後に形成される低濃度不純物領域の幅が決定される。次に、フォトリソのマスク 209 a、209 b を剥離して、ゲイト電極 210 a、210 b を陽極酸化して、緻密な陽極酸化物被膜 212 a、212 b を1200Åの厚さに形成する。(図 2 (D))

【0065】陽極酸化物被膜 212 a、212 b の役割は、大きく2つある。第1に、アルミニウムをゲイト電極材料として用いた場合に、後の加熱工程や、レーザー光の照射工程において、アルミニウムの異常成長や溶解が生じないようにするためのバリア膜としての役割である。第2は、後の不純物イオンの注入工程において、この緻密な陽極酸化物被膜 212 a、212 b をマスクとすることで、オフセットゲイト領域を形成するための役割である。緻密な陽極酸化物被膜 212 a、212 b の厚さは100Å~3000Å程度の範囲内から選択することができるが、オフセットゲイト領域の厚さは1000Å程度以上ないとその役割が顕著にならないので、緻密な陽極酸化物被膜 212 a、212 b の厚さも1000Å以上必要となる。

【0066】なお、多孔質状の陽極酸化物 211 a、211 b と緻密な陽極酸化物被膜 212 a、212 b との作り分けは、陽極酸化時の電解溶液を変えることで行うことができる。多孔質状の陽極酸化物 211 a、211 b を形成するのであれば、電解溶液として、例えば、3%の酢酸を用いればよい。また緻密な陽極酸化物 212 a、212 b を形成するのであれば、電解溶液として3%の酒石酸を用いればよい。

【0067】次に、多孔質陽極酸化物211a、211bをマスクとしてドライエッチング法によって酸化珪素膜208をエッチングして、ゲイト絶縁膜213a、213bを形成する。さらに、磷酸、酢酸、硝酸の混合溶液（アルミ混酸）を用いて多孔質陽極酸化物211a、211bのみをエッチングする。アルミ混酸は多孔質陽極酸化物211a、211bをエッチングするが、緻密な陽極酸化物被膜212a、212bはほとんどエッチングしないので、ゲイト電極210a、210bの下層のみに、酸化珪素のゲイト絶縁膜213a、213bが残った状態となる。

【0068】そして、このゲイト絶縁膜213a、213bをマスクに用いて、イオンドーピング法によって活性領域に不純物を導入する。NMOSトランジスタを作製する際には、燐をドーピングする。PMOSトランジスタを作製する際には、硼素をドーピングする。本実施例では、周辺回路をCMOSで構成するようにしたが、図2にはNMOSトランジスタのみを図示している。

【0069】燐をドーピングする際には、まず、 $10 \sim 30 \text{ keV}$ の比較的低い加速電圧で $5 \times 10^{11} \sim 5 \times 10^{12}$ 原子/cm²の比較的高いドーズ量で燐イオンを注入する。この際には、加速電圧が低いため、イオンの侵入深さが浅いので、活性領域207a、207bにおいて、ゲイト絶縁膜213a、213bで覆われていない領域に主として燐が注入される。

【0070】次に、 $60 \sim 95 \text{ keV}$ の比較的高い加速電圧で、 $1 \times 10^{11} \sim 1 \times 10^{12}$ 原子/cm²の比較的低いドーズ量で再び燐イオンを注入する。この際には、加速電圧が高いため、イオンが深くまで侵入するので、活性領域207a、207bにおいて、ゲイト絶縁膜213a、213bで覆われている領域にも燐が注入される。硼素も同様の方法でドーピングする。不純物イオンをドーピングした後に、レーザー光を照射して、不純物イオンを活性化する。（図2（E））

【0071】この結果、高濃度の不純物がドーピングされた高濃度不純物領域214a、214bと、低濃度の燐がドーピングされた低濃度不純物領域215a、215bとがそれぞれ形成されて、所謂2重ドレイン構造とすることができる。なお、低濃度不純物領域215a、215bのドレイン側が一般的にLDD領域と称される領域となる。

【0072】また、ゲイト電極210a、210bの下層には不純物イオンが実質的に侵入しないため、チャネル形成領域となる。このチャネル形成領域と低濃度不純物領域215a、215bのドレイン側、即ちLDD領域との間の領域が、オフセットゲイト領域216、217である。オフセットゲイト領域216、217はLDD領域を設けた場合と同様な効果を得ることができ、オフ電流を低減させる効果を生む。オフセットゲイト領域216、217は不純物イオンの注入時において、ゲイ

ト電極210a、210bの周囲に形成された緻密な陽極酸化物被膜212aと210bとがマスクとして機能するために、形成される。

【0073】その後、第1の層間絶縁物として、プラズマCVD法によって厚さ4000Åの酸化珪素膜218を堆積し、これにコンタクトホールを形成して、アルミニウムの電極・配線219a～219cを形成する。さらに、第2の層間絶縁物として、プラズマCVD法によって厚さ2000Åの窒化珪素膜220を堆積し、マトリクス領域のTFTのドレイン側にコンタクトホールを形成して、ITOによる画素電極221を形成する。このようにして、モノリシック型アクティブマトリクス回路を形成することができる。（図2（F））

【0074】本実施例で作製されたNMOSのTFTの典型的な電界効果移動度は、周辺回路で $140 \sim 180 \text{ cm}^2/\text{Vs}$ 、マトリクス回路で $20 \sim 30 \text{ cm}^2/\text{Vs}$ とすることができる。また、マトリクス回路のオフ電流は、平均値が1.3 pA、バラツキ（3σ）は1桁弱とすることができる。

【0075】〔実施例2〕本実施例を図2を用いて説明する。まず、ガラス基板201にプラズマCVD法によって厚さ2000Åの下地膜となる酸化珪素膜202、減圧CVD法によって厚さ500Åのアモルファスシリコン膜203、さらに、プラズマCVD法によって厚さ1000Åの酸化珪素膜204を成膜する。

【0076】そして、酸化珪素膜204をエッチングして、周辺回路領域のアモルファスシリコン膜203のみを露出させる。さらに、過酸化水素水のアンモニア溶液に基板を浸すことによって、上記の露出したアモルファスシリコン膜203の表面に極めて薄い（40～100Åと推定される）酸化珪素膜を形成する。そして、実施例1と同様にスピンコーティング法によって極めて薄い酢酸ニッケル薄膜205を形成する。（図2（A））

【0077】その後、400℃で0.5時間の熱アニールを行う。この工程で酢酸ニッケル薄膜205を分解せしめて、アモルファスシリコン膜203中に、ニッケル元素をわずかに拡散させる。酸化珪素膜204除去して、アモルファスシリコン膜203を露出させる。酸化珪素膜204のエッチングの工程においては、緩衝フッ酸を使用する。この際、アモルファスシリコン膜203上に残存しているニッケルや、ニッケル濃度の大きなアモルファスシリコン膜203の表層がエッチングされてしまうが、結晶化に十分な量のニッケルはアモルファスシリコン膜203の中に拡散して存在する状態となる。

【0078】そして、XeClエキシマーレーザー光（波長308nm）を照射する。本実施例では、レーザーのエネルギー密度は $300 \sim 400 \text{ mJ}/\text{cm}^2$ の範囲にすればよく、例えば、 $350 \text{ mJ}/\text{cm}^2$ とする。この結果、周辺回路領域及びマトリクス回路領域のアモルファスシリコン膜203は結晶化されて、結晶性シリ

コン領域 206a、206b に変成される。特に結晶性シリコン領域 206a はニッケル元素の触媒作用のために、優れた結晶性を有する。

【0079】本実施例では、アモルファスシリコン膜 203 は減圧 CVD 法により形成されているため、成膜状態で水素含有量が少ない。このため、レーザー照射時にマトリクス回路領域のシリコン膜 203 はニッケル元素を含有していないが、低いエネルギー密度のレーザー光の照射により、適切な結晶性を有する結晶性シリコン領域に変成させることができる。(図 2 (B))

【0080】その後、レーザー照射による応力歪みを緩和するために、熱アニールを行う。本実施例では、550℃、4 時間の熱アニールを行う。次に結晶性シリコン領域 206a、206b をエッチングして、島状の活性領域 207a、207b を形成する。ゲート絶縁膜として厚さ 1200 Å の酸化珪素膜 208 を形成する。さらに、スパッタ法によって厚さ 4000 Å のアルミニウム膜 (0.2~0.5 重量% のスカンジウムを含有する) を形成する。この表面にフォトレジストのマスク 209a、209b を形成する。これらのマスク 209a、209b を使用して、アルミニウム膜をエッチングして、ゲート電極 210a、210b を形成する。エッチングに用いたフォトレジストのマスク 209a、209b はそのまま残す。(図 2 (C))

【0081】次に、ゲート電極 210a、210b を陽極酸化して、多孔質陽極酸化物 211a、211b および緻密な陽極酸化物被膜 212a、212b をそれぞれ形成する。(図 2 (D))

【0082】次に、多孔質陽極酸化物 211a、211b をマスクとしてドライエッチング法によって酸化珪素膜 208 をエッチングして、ゲート電極 210a、210b の下に、酸化珪素のゲート絶縁膜 213a、213b を残存させる。ゲート絶縁膜 213a、213b を半透過なマスクとして用い、イオンドーピング法によって活性領域に不純物を導入する。この結果、高濃度の不純物がドーピングされた高濃度不純物領域 214a、214b と低濃度の不純物がドーピングされた低濃度不純物領域 215a、215b とがそれぞれ形成される。なお、低濃度不純物領域 215a、215b のドレイン側が一般的に LDD 領域と称される領域となる。また、ゲート電極 210a、210b の下層には実質的に不純物イオンが侵入しないため、チャネル形成領域となる。このチャネル形成領域と LDD 領域の間にオフセットゲート領域 216、217 が形成される。(図 2 (E))

【0083】その後、第 1 の層間絶縁物 (酸化珪素膜) 218、アルミニウムの電極・配線 219a~217c、第 2 の層間絶縁物 (窒化珪素膜) 220、ITO による画素電極 221 を順次に形成する。このようにして、モノリシック型アクティブマトリクス回路を形成することができる。(図 2 (F))

【0084】〔実施例 3〕図 3 に本実施例の作製工程を示す。本実施例は、モノリシック型アクティブマトリクス回路を作製する方法に関するものであり、左側が周辺回路を、右側がマトリクス回路を代表して示す。なお、周辺回路は CMOS 化されているが、簡略化のために、図 3 には NMOS のみを図示する。

【0085】まずガラス基板 301 にプラズマ CVD 法によって厚さ 2000 Å の下地膜として酸化珪素膜 302 を成膜する。さらにプラズマ CVD 法によって、厚さ 500 Å のアモルファスシリコン膜 303、厚さ 1000 Å の酸化珪素膜 304 を順次に成膜する。

【0086】酸化珪素膜 304 を公知のフォトリソグラフィ法によってパターニングするして、周辺回路領域のアモルファスシリコン膜 303 の一部に触媒元素を選択的に導入するための窓 305 を形成する。パターニングされた酸化珪素膜 304 は、珪素の結晶化を助長する触媒元素であるニッケルの導入を選択的に行うためのマスクとして機能し、窓 305 の部分では、アモルファスシリコン膜 303 が露呈される。

【0087】酸化雰囲気において 550℃ で 1 時間熱アニールすることにより、露出しているアモルファスシリコン膜 303 の表面に、極めて薄い (40~100 Å と推定される) 酸化珪素膜 (図示せず) を形成する。そして、スピンコーティング法により、1~100 ppm の酢酸ニッケル水溶液を用い、スピンコーターを用いて溶液を基板 301 表面に均一に薄く塗布して、極めて薄い酢酸ニッケル薄膜 306 を形成する。窓 305 においては、酢酸ニッケル薄膜 306 がアモルファスシリコン膜 303 に実質的に密着している。(図 3 (A))

【0088】次に、窒素雰囲気中で、550℃、8 時間の熱アニールを行う。この熱アニール工程により、窓 305 において酢酸ニッケル薄膜 306 が分解されて、ニッケルが周辺回路領域のアモルファスシリコン膜 303 の領域内に拡散侵入していく。ニッケルが拡散するに従って、周辺回路領域のアモルファスシリコン膜 303 は、図の矢印に示すように横方向に結晶化が進行して (ヨコ成長)、結晶性シリコン領域 307a が形成される。(図 3 (B))

【0089】他方、マトリクス回路領域のアモルファスシリコン膜 303 は、酸化珪素膜 304 が存在するために、ニッケルがシリコンに到達できないため、結晶化されない。しかし、この熱アニールによってアモルファスシリコン膜 303 中に含有されていた水素が酸化珪素膜 304 を透過して外部に放出されて、水素含有量が 0.1% 以下のアモルファスシリコン領域 307b が形成される。

【0090】その後、酸化珪素膜 304 除去して、結晶性シリコン領域 307a と、アモルファスシリコン領域 307b とをそれぞれ露出させて、XeF エキシマーレーザー光 (波長 353 nm) を照射する。本実施例で

は、レーザーのエネルギー密度は $250 \sim 300 \text{ mJ/cm}^2$ とする。この結果、結晶性シリコン領域307aの結晶性はさらに向上して、高度結晶性シリコン領域308aとなる。また、アモルファスシリコン領域307bはレーザー光の照射により結晶化され、結晶性シリコン領域308bとなる。(図3(C))

【0091】結晶性シリコン領域308a、308bをそれぞれエッチングして、島状の活性領域309a、309bを形成する。そして、プラズマCVD法により原料ガスにモノシランと一酸化二窒素を使用して、厚さ1200Åの酸化珪素膜をゲイト絶縁膜として形成する。さらに、スパッタ法によって厚さ4000Åのアルミニウム膜(0.2~0.5重量%のスカンジウムを含有する)を形成して、パターニングして、ゲイト電極310aと310bとを形成する。

【0092】ゲイト電極310a、310bを陽極酸化して、多孔質陽極酸化物311a、311b、緻密な陽極酸化物被膜313a、313bを順次に形成する。その後、ゲイト電極310a、310bの下層の酸化珪素膜をエッチングして、ゲイト絶縁膜312a、312bを形成する。(図3(D))

なお、本実施例において、多孔質陽極酸化物311a、311bの厚さは3000Åとし、緻密な陽極酸化物被膜313a、313bの厚さは1500Åとする。

【0093】次に、多孔質陽極酸化物311a、311bをエッチングした後に、ソース/ドレイン領域を形成するために、不純物イオンをドーピングする。ドーピング工程においては、ゲイト絶縁膜312a、312b、ゲイト電極310a、310b、緻密な陽極酸化物被膜313a、313bがマスクとして機能して、高濃度不純物領域314a、314bと、低濃度不純物領域315a、315bが形成され、さらに、オフセットゲイト領域300a、300bが形成される。(図3(E))

【0094】低濃度不純物領域315a、315bは多孔質陽極酸化物311a、311bの厚さで決定され、3000Åとなる。また、オフセットゲイト領域300a、300bの厚さは、緻密な陽極酸化物被膜313a、313bの厚さで決定され、1500Åとなる。このような構成は、特に低オフ電流特性を得たい場合に有用なものとなる。

【0095】その後、第1の層間絶縁物(酸化珪素膜)316をスパッタ法で成膜する。さらに、アルミニウムの電極・配線317a、317b、317c、第2の層間絶縁物(窒化珪素膜)318、ITOによる画素電極319を形成する。このようにして、モノリシック型アクティブマトリクス回路を形成することができる。(図3(F))

【0096】〔実施例4〕図3を用いて本実施例を説明する。図3において、左側が周辺回路を、右側がマトリクス回路を代表して示す。

【0097】プラズマCVD法により、ガラス基板301上に、厚さ2000Åの酸化珪素膜302、厚さ500Åのアモルファスシリコン膜303、厚さ1000Åの酸化珪素膜304を順次に成膜する。酸化珪素膜304を公知のフォトリソグラフィ法によってパターニングして、触媒元素添加用の窓305を形成する。さらに、過酸化水素水とアンモニアの混合液で処理して、窓305の部分において露出したアモルファスシリコン膜303の表面に極めて薄い酸化珪素膜を形成する。そして、スピンコーティング法により、極めて薄い酢酸ニッケル薄膜306を形成する。(図3(A))

【0098】次に、窒素雰囲気中で、550℃、8時間の熱アニールを行う。この熱アニール工程により、窓305において酢酸ニッケル薄膜306が分解されて、ニッケルが周辺回路領域のアモルファスシリコン膜303の領域内に拡散侵入していく。ニッケルが拡散するに従って、周辺回路領域のアモルファスシリコン膜303は、図の矢印に示すように横方向に結晶化が進行して(ヨコ成長)、結晶性シリコン領域307aが形成される。(図3(B))

【0099】他方、マトリクス回路領域のアモルファスシリコン膜303は、酸化珪素膜304が存在するため、ニッケルがシリコンに到達できないため、結晶化されない。しかし、この熱アニールによってアモルファスシリコン膜303中に含有されていた水素が酸化珪素膜304を透過して外部に放出されて、水素含有量が0.1%以下のアモルファスシリコン領域307bが形成される。

【0100】その後、酸化珪素膜304除去して、結晶性シリコン領域307aと、アモルファスシリコン領域307bとをそれぞれ露出させて、XeFエキシマレーザー光(波長353nm)を照射する。本実施例では、レーザーのエネルギー密度は $250 \sim 300 \text{ mJ/cm}^2$ とする。この結果、結晶性シリコン領域307aの結晶性はさらに向上して、高度結晶性シリコン領域308aとなる。また、アモルファスシリコン領域307bはレーザー光の照射により結晶化され、結晶性シリコン領域308bとなる。(図3(C))

【0101】結晶性シリコン領域308a、308bをそれぞれエッチングして、島状の活性領域309a、309bを形成する。そして、プラズマCVD法により原料ガスにモノシランと一酸化二窒素を使用して、厚さ1200Åの酸化珪素膜をゲイト絶縁膜として形成する。さらに、スパッタ法によって厚さ4000Åのアルミニウム膜(0.2~0.5重量%のスカンジウムを含有する)を形成して、パターニングして、ゲイト電極310aと310bとを形成する。ゲイト電極310a、310bを陽極酸化して、多孔質陽極酸化物311a、311b、緻密な陽極酸化物被膜313a、313bを順次に形成する。その後、ゲイト電極310a、310bの

下層の酸化珪素膜をエッチングして、ゲート絶縁膜312a、312bを形成する。(図3(D))

【0102】次に、多孔質陽極酸化物311a、311bをエッチングし、ドーピングをおこなって、高濃度不純物領域314a、314bと低濃度不純物領域315a、315bを形成する。またオフセットゲート領域300aと300bとが同時に形成される。(図3(E))

【0103】その後、第1の層間絶縁物(酸化珪素膜)316、アルミニウムの電極・配線317a、317b、317c、第2の層間絶縁物(窒化珪素膜)318、ITOによる画素電極319を形成する。このようにして、モノリシック型アクティブマトリクス回路を形成することができる。(図3(F))

【0104】〔実施例5〕図4に本実施例の作製工程を示す。本実施例は、モノリシック型アクティブマトリクス回路を作製する方法に関するものであり、左側が周辺回路を、右側がマトリクス回路を代表して示す。なお、周辺回路はCMOS化されているが、簡略化のために、図4にはNMOSのみを図示する。

【0105】ガラス基板401に、プラズマCVD法によって厚さ2000Åの地下酸化珪素膜402、厚さ500Åのアモルファスシリコン膜403、厚さ1000Åの酸化珪素膜404を連続的に成膜する。そして、酸化珪素膜404をエッチングして、周辺論理回路領域のアモルファスシリコン膜403のみを露出させる。さらに、基板にオゾン雰囲気中で紫外光(光源は水銀ランプ)を照射することにより、露出したアモルファスシリコン403膜の表面に、図示しない極めて薄い酸化珪素膜を形成する。そして、スパッタリング法によって、極めて薄い酢酸ニッケルの極めて薄膜405を形成する。(図4(A))

【0106】次に、窒素雰囲気中において、550℃、4時間の熱アニールを行う。酢酸ニッケル薄膜405は400℃程度で分解してニッケルとなり、周辺回路領域のアモルファスシリコン膜403の領域内に拡散侵入していく。ニッケルが拡散するに従って、周辺回路領域のアモルファスシリコン膜403は、図の矢印に示すように横方向に結晶化が進行して(ヨコ成長)。結晶性シリコンに変成される。

【0107】他方、マトリクス回路領域のアモルファスシリコン膜403は、酸化珪素膜404が存在するために、ニッケルが拡散できないため、結晶化されない。しかし、この熱アニールによってアモルファスシリコン膜403中に含有されていた水素が酸化珪素膜404を透過して外部に放出されて、水素含有量が0.1%以下のアモルファスシリコン領域が形成される。(図4(B))

【0108】その後、酸化珪素膜404除去して、シリコン膜を露出させて、これにKrFエキシマレーザー

光(波長248nm)を照射する。この結果、周辺論理回路領域の結晶性シリコン膜の結晶性はさらに向上して、結晶性シリコン406aとなる。また、マトリクス回路領域のアモルファスシリコン膜403は結晶化されて、結晶性シリコン406bとなる。(図4(B))

【0109】この状態では、マトリクス回路領域の結晶性シリコン406bは本実施例で必要とする半導体特性を得るには不十分であり、より高いエネルギー密度のレーザー光を照射して、さらに、結晶性を向上させることが必要である。しかしながら、そのようなレーザー光が周辺論理回路の結晶性シリコン406aに照射すると、逆に結晶性が劣化する。

【0110】そこで、本実施例では図4(C)のように、周辺論理回路領域にマスク407を設けて、結晶性シリコン領域406bのみにレーザー光を照射する。マスク407には紫外光を吸収する窒化珪素を用いる。レーザー光のエネルギー密度は350~400mJ/cm²、例えば、380mJ/cm²とする。レーザー光はKrFエキシマレーザー光(波長248nm)を用いる。この条件では、マスク407で被覆された部分では、レーザー光のエネルギー密度は350mJ/cm²以下に減衰されるので、結晶性シリコン406aには実質的な影響はない。2回のレーザー照射工程を経て、マトリクス回路領域には、より結晶性の高い結晶性シリコン領域406cを形成することができる。なおレーザー照射後、応力歪みを緩和するために、熱アニールをおこなってもよい。(図4(C))

【0111】その後、結晶性シリコン領域406a、406cをそれぞれエッチングして、島状の活性領域408a、408bを形成する。そして、スパッタ法によって、厚さ1200Åの酸化珪素膜409をゲート絶縁膜として形成する。さらに、スパッタ法によって厚さ4000Åのアルミニウム膜(0.2~0.5重量%のスカンジウムを含有する)を形成した。

【0112】マトリクス回路領域のみ、ゲート電極410bの側面に4000Åの厚さに多孔質陽極酸化物411を形成する。この際、周辺論理回路のゲート電極・配線410aには、電流を流さないようにする。更に、ゲート電極410a及び410bの上面と側面に緻密な陽極酸化物被膜412a、412bを2000Åの厚さに形成する。(図4(D))

【0113】次に多孔質陽極酸化物411、緻密な陽極酸化物被膜412a、412b極酸化物をそれぞれマスクに用いて、ドライエッチング法によって酸化珪素膜409をエッチングして、ゲート絶縁膜413a、413bを形成する。そして、アルミ混酸を用いて多孔質陽極酸化物411のみをエッチングする。

【0114】ゲート絶縁膜413a、413bをマスクに用いて、イオンドーピング法によって不純物を活性領域408a、408bにドーピングする。NMOSトラ

ンジスタを作製する際には、燐をドーピングする。PMOSトランジスタを作製する際には、砒素をドーピングする。本実施例では、周辺回路をCMOSで構成するようにしたが、図3にはNMOSトランジスタのみを図示している。

【0115】その結果、周辺回路及びマトリクス回路の薄膜トランジスタには、それぞれ高濃度の燐がドーピングされた高濃度不純物領域414a、414bと共に、オフセットゲート領域400a、400bがそれぞれ形成される。また、マトリクス回路領域のみに多孔質陽極酸化物411を形成するようにしたため、マトリクス回路の薄膜トランジスタには、低濃度の燐がドーピングされた低濃度不純物領域412が形成されて、2重ドレイン構造となる。また低濃度不純物領域412の幅は多孔質陽極酸化物411の厚さと等しく、4000Åである。(図4(E))

【0116】その後、第1の層間絶縁物(厚さ4000Åの酸化珪素膜)413を堆積し、これにコンタクトホールを形成して、チタンの電極・配線417a、417b、417c、417dを形成する。さらに、第2の層間絶縁物(厚さ2000Åの酸化珪素膜)418を堆積し、マトリクス領域のTFTのドレイン電極417dにコンタクトホールを形成して、ITOによる画素電極419を形成する。このようにして、モノリシック型アクティブマトリクス回路を形成する。(図4(F))

【0117】本実施例に示す構成においては、周辺回路領域に配置される薄膜トランジスタには、低濃度不純物領域を形成していないため、移動度の低下を抑制されるため、高速動作させることができる。他方、マトリクス領域に配置される薄膜トランジスタのみに低濃度不純物領域が形成されているために、オフ電流値を低下させることができる。

【0118】〔実施例6〕図5に本実施例の作製工程を示す。図5は、アクティブマトリクス型の液晶表示装置を構成する一方の基板の作製工程図である。本実施例は、モノリシック型アクティブマトリクス回路の作製方法に関するものであり、周辺回路はCMOS化されている。図5には、簡略化のために、周辺回路の部分はNMOSのみを図示しており、左側が周辺回路であり、右側がマトリクス回路である。

【0119】まずガラス基板501上にプラズマCVD法によって厚さ2000Åの下地酸化珪素膜502、厚さ500Åのアモルファス状態のシリコン膜503を連続的に成膜する。そして、450℃で1時間加熱して、アモルファスシリコン膜503中の水素を放出させる。

【0120】その後、シリコン膜503にKrFエキシマーレーザー光(波長248nm)を照射する。本実施例では、結晶性の均一性を向上させるため、2回のレーザー照射を行う。1度目の照射では、レーザーのエネルギー密度を200~250mJ/cm²、例えば、22

0mJ/cm²とする。2度目のレーザー照射では、レーザーのエネルギー密度を1度目よりも大きくして、350~400mJ/cm²、例えば、380mJ/cm²とする。2回のレーザー照射により、シリコン膜503は全面的に結晶化される。(図5(A))

【0121】その後、厚さ3000Åの窒化珪素膜504を成膜し、エッチングして、周辺回路領域のシリコン膜503のみを露出させる。さらに、オゾン雰囲気中で紫外光(光源は水銀ランプ)を照射することにより、露出したシリコン膜503の表面に極めて薄い酸化珪素膜を形成する。そして、スピンコーティング法によって、極めて薄い酢酸ニッケル薄膜505を形成する。(図5(B))

【0122】この状態で、シリコンイオンをイオン注入法により、注入する。イオンの加速電圧は10~30kV、ドーズ量は $1 \times 10^{11} \sim 1 \times 10^{14}$ 原子/cm²とする。この結果、窒化珪素膜504で覆われていない周辺回路領域においては、イオンの衝撃ダメージによりアモルファス状態のシリコン膜506aが形成される。他方、マトリクス回路領域のシリコン膜503は窒化珪素膜504で覆われているために、先のレーザー照射で結晶化した状態が保たれる。(図5(C))

なお、図5(B)の工程と図5(C)の工程は順序を入れ替えてもよい。

【0123】次に、窒素雰囲気中、550℃、4時間の熱アニールをおこない、周辺回路領域のアモルファスシリコン膜506aを結晶化させて、結晶性シリコン膜506bを得る。そして、結晶性シリコン膜506bにレーザー光を照射して、さらに結晶性を向上させる。本実施例では、結晶性の均一性を向上させるため、2回のレーザー照射を行う。この際に、マトリクス回路領域のシリコン膜503は窒化珪素膜504で覆われているために、先のレーザー照射により得られた結晶性が保持されている。(図5(D))

その後、窒化珪素膜504除去する。以上の工程によって、マトリクス回路領域および周辺回路領域でそれぞれ必要な結晶性のシリコン膜が得られる。なおレーザー光の照射後、応力歪みを緩和するために、熱アニールをおこなってもよい。

【0124】その後、結晶性シリコン膜をエッチングして島状の活性領域を形成する。スパッタ法によって、厚さ1200Åの酸化珪素膜をゲート絶縁膜として形成する。さらに、スパッタ法によって厚さ4000Åのアルミニウム膜(0.2~0.5重量%のスカンジウムを含む)を成膜して、パターニングして、ゲート電極507a、507bを形成する。

【0125】周辺回路とマトリクス回路のゲート電極507a、507bに多孔質陽極酸化物、緻密な陽極酸化物を順次に形成する。なお、周辺回路領域の多孔質陽極酸化物の厚さは3000Åとし、マトリクス回路側領域

の多孔質陽極酸化物の厚さは6000Åとし、また、緻密な陽極酸化物の厚さは周辺回路、マトリクス回路双方とも500Åとした。

【0126】次に、多孔質陽極酸化物、緻密な陽極酸化物をマスクにして、ゲイト電極507a、507bの下層の酸化珪素膜をエッチングして、ゲイト絶縁膜508a、508bを形成し、この後に多孔質陽極酸化物を剥離する。さらに、実施例5と同様に、イオンドーピング法により、活性領域に不純物イオンをドーピングする。この結果、高濃度N型領域509aと509bと低濃度N型領域510a、510bとからなる2重ドレイン構造のNチャネル型の薄膜トランジスタを得る。なお、緻密な陽極酸化物被膜の厚さが500Åと薄いので、オフセットゲイト領域は小さなものとなる。従って、その存在は図示しない。高濃度N型領域509aと509bがソース/ドレイン領域に対応する。(図5(E))

【0127】ソースまたはドレイン領域とチャネル形成領域との間に形成される低濃度N型領域は、主にチャネル形成領域とドレイン領域との境界付近の電界強度を低下させ、オフ電流特性を改善することにその効果がある。しかしながら、低濃度N型領域(低濃度不純物領域)は高抵抗領域であり、移動度を低下させるため、薄膜トランジスタの動作速度を低下させる。このため、高速動作が要求されている周辺回路の薄膜トランジスタには、低濃度不純物領域を必ずしも設けなくともよいが、とくに、オフ電流の値を小さくする必要があるれば、移動度の特性を損ねないように、設ければよい。

【0128】本実施例では、周辺回路領域の多孔質陽極酸化物の厚さは3000Åとしたため、低濃度N型領域510aの幅は3000Åとなり、また、マトリクス回路側領域の多孔質陽極酸化物の厚さを6000Åとしたため、低濃度N型領域510bの幅は6000Åとなる。即ち、高移動度が要求され、それほど低オフ電流特性が要求されない周辺回路領域の薄膜トランジスタでは低濃度N型領域の幅を狭して、一方、高移動度は要求されず、低オフ電流特性が要求されるマトリクス回路領域の薄膜トランジスタでは低濃度不純物領域の幅を大きくするようにしたため、回路領域において必要とされる特性を有する薄膜トランジスタを選択的に形成することができる。

【0129】その後、第1の層間絶縁物(厚さ4000Åの酸化珪素膜)511を堆積し、これにコンタクトホールを形成して、チタンの電極・配線511a、511b、511c、511dを形成する。さらに、第2の層間絶縁物(厚さ2000Åの窒化珪素膜)513を堆積し、マトリクス領域の薄膜トランジスタのドレイン電極512dにコンタクトホールを形成して、ITOによる画素電極514を形成する。このようにして、モノリシック型アクティブマトリクス回路を形成する。(図5(F))

【0130】〔実施例7〕図6に本実施例の作製工程を示す。図6に示すのは、アクティブマトリクス型の液晶表示装置を構成する一方の基板の作製工程である。本実施例は、モノリシック型アクティブマトリクス回路の作製方法に関するものであり、周辺回路はCMOS化されている。図6には、簡略化のために、周辺回路の部分はNMOSのみを図示しており、左側が周辺回路であり、右側がマトリクス回路である。

【0131】まずガラス基板621にプラズマCVD法によって厚さ2000Åの地下酸化珪素膜622、厚さ500Åのアモルファス状態のシリコン膜623を連続的に成膜する。

【0132】次にシリコン化合物および添加物を有機溶剤に溶解した溶液にニッケルを所定の濃度で含有する酸化珪素系被膜形成用塗布液を、シリコン膜623表面に塗布して、さらに焼成することにより酸化珪素膜624を形成する。例えば、酸化珪素系被膜形成用塗布液には東京応化工業株式会社のOCD(Ohka Diffusion Source) Type 2 Si59000を使用して、この溶液とニッケル(II)アセチルアセトネートとを酢酸メチルに溶解したものとを混合し、SiO₂が2.0wt%、ニッケルが200~2000ppmとなるように調整する。この溶液をアモルファスシリコン膜623表面に適量滴下し、スピナーを用い、2000rpmで15秒スピコートを行う。そしてプリベークを250℃で30分間おこなうことによって、ニッケルを含有した酸化珪素膜624を形成する。プリベークの温度は、ニッケル化合物の分解温度に鑑みて決定すればよい。(図6(A))

【0133】酸化珪素被膜624を形成するための塗布液としては、酸化珪素の微粉末を有機溶媒に分散させたもの等を用いてもよい。なお、溶液として上記OCDを用い、触媒としてニッケルを用いた場合、以下のような方法を採用することができる。

(1) OCDに直接ニッケル化合物を添加する方法。

(2) ニッケル化合物を溶媒に溶かし溶液を作成し、該溶液をOCDに添加する方法。

【0134】上記(1)の方法を採用した場合、ニッケル化合物としては、OCDの溶媒に溶けるものであることが必要である。例えば、ニッケルアセチルアセトネート、2-エチルヘキサン酸ニッケルをニッケル化合物として用いることができる。上記(2)の方法を採用した場合、ニッケル化合物の溶液としては、水、アルコール、エステル、ケトン等を用いることができるが、好ましくはOCDの溶媒として用いられているものと同一のものを用いることが望ましい。

【0135】この場合、ニッケルはニッケル化合物として導入される。このニッケル化合物としては、代表的には臭化ニッケル、酢酸ニッケル、蓚酸ニッケル、塩化ニッケル、沃化ニッケル、硝酸ニッケル、硫酸ニッケル、

蟻酸ニッケル、ニッケルアセチルアセトネート、4-シクロヘキシル酪酸ニッケル、から選ばれたものをアルコールに溶かして用いることができる。

【0136】また触媒元素を含有させた溶液に界面活性剤を添加することも有用である。また被形成面に密着剤例えば東京応化工業のOAPの如きHMDS（ヘキサメチルジシラザン）を用いることにより、被形成面に対する密着性を高めることができる。

【0137】以上述べたのは、触媒元素であるニッケルが完全に溶解した溶液を用いる例であるが、ニッケルが完全に溶解していなくとも、ニッケル単体あるいはニッケルの化合物からなる粉末が分散媒中に均一に分散したエマルジョンの如き材料をOCDに混合して用いてもよい。

【0138】本実施例では、酸化珪素膜624の厚さが400Åのもの（試料I）と3000Åのもの（試料II）の2種類のサンプルを形成した。その後、酸化珪素膜624をエッチングして、マトリクス回路領域のシリコン膜623を露出せしめる。次に、窒素雰囲気中、550℃、4時間の熱アニールを行う。この結果、酸化珪素膜624に含有されていたニッケルがアモルファスシリコン膜623が下層の周辺論理回路領域のアモルファスシリコン膜623内に拡散するため、周辺論理回路領域のアモルファスシリコン膜623が結晶化されて、結晶性シリコン膜625aを得る。一方、酸化珪素膜624で覆われていないマトリクス回路領域のアモルファスシリコン膜623はニッケルが拡散しないため、結晶化されないが、水素が放出されて、水素濃度の小さいアモルファスシリコンとされる。

【0139】その後、酸化珪素膜624を付けたままKrFエキシマレーザー光（波長248nm）を照射する。本実施例では、結晶性の均一性を向上させるため、2回のレーザー照射を行う。レーザー光の照射は、1回目の照射時は200~250mJ/cm²、例えば220mJ/cm²とする。また2回目の照射時は、350~400mJ/cm²、例えば380mJ/cm²とする。この結果、マトリクス回路領域のアモルファスシリコンが結晶化されて、結晶性シリコン膜625bを得る。（図6（B））

【0140】他方、周辺回路領域の結晶性シリコン膜625aは、試料Iでは、酸化珪素膜624の厚さが400Åと極めて薄いために、レーザー光が酸化珪素膜624を透過して、相当量のエネルギー（最初の照射で~200mJ/cm²、2回目の照射で~340mJ/cm²）が到達したため、結晶性シリコン膜625aの結晶性をより高めることができ、結晶性シリコン膜625cを得る。（図6（C））

【0141】しかしながら、試料IIでは、酸化珪素膜624の厚さが3000Åと厚いために、レーザー光のエネルギーが酸化珪素膜624に相当量吸収されてしまう

ので、結晶性シリコン膜625aの結晶性が改善されるには至らなかった。そこで、試料IIに関しては、レーザー光を照射して、マトリクス回路領域のアモルファスシリコンを結晶化させた後に、酸化珪素膜624を除去して、更に、レーザー光を照射して、結晶性シリコン膜625aの結晶性を向上させる。本実施例では、レーザーのエネルギー密度を300~350mJ/cm²、例えば、340mJ/cm²としてレーザー光の照射を行う。この程度のエネルギー密度ではマトリクス回路領域の結晶性シリコン膜625aにはほとんど影響がない。このようにして、結晶性シリコン膜625cを得る。

【0142】以上の工程によって、マトリクス回路領域および周辺論理回路領域に必要な結晶性のシリコン膜625b、625cが得られる。なお、レーザー照射後、応力歪みを緩和するために、熱アニールをおこなってもよい。

【0143】その後、結晶性シリコン膜625b、625cをエッチングして島状の活性領域を形成する。（図6（D））

その後、結晶性シリコン膜をエッチングして島状の活性領域を形成する。スパッタ法によって、厚さ1200Åの酸化珪素膜をゲイト絶縁膜として形成する。さらに、スパッタ法によって厚さ4000Åのアルミニウム膜（0.2~0.5重量%のスカンジウムを含有する）を成膜して、パターニングして、ゲイト電極626a、626bを形成する。

【0144】周辺回路とマトリクス回路のゲイト電極626a、626bに多孔質陽極酸化物、緻密な陽極酸化物を順次に形成する。なお、周辺回路領域の多孔質陽極酸化物の厚さは3000Åとし、マトリクス回路側領域の多孔質陽極酸化物の厚さは6000Åとし、また、緻密な陽極酸化物の厚さは周辺回路、マトリクス回路双方とも300Åとした。

【0145】次に、多孔質陽極酸化物、緻密な陽極酸化物をマスクにして、ゲイト電極626a、626bの下層の酸化珪素膜をエッチングして、ゲイト絶縁膜627a、627bを形成し、この後に多孔質陽極酸化物を剥離する。

【0146】さらに、実施例5と同様に、イオンドーピング法により、活性領域に不純物イオンをドーピングする。この結果、高濃度N型領域628a、628bと、低濃度N型領域629a、629bとからなる2重ドレイン構造のNチャネル型の薄膜トランジスタを得る。高濃度N型領域628aと628bがソース/ドレイン領域に対応する。なお、緻密な陽極酸化物被膜の厚さが300Åと薄いため、オフセットゲイト領域は小さなものとなる。従って、その存在は図示しない。（図6（D））

【0147】その後、第1の層間絶縁物（厚さ4000Åの酸化珪素膜）630を堆積し、これにコンタクトホールを形成して、チタンの電極・配線631a、631

b、631c、631dを形成する。さらに、第2の屈間絶縁物（厚さ2000Åの窒化珪素膜）632を堆積し、マトリクス領域のTFTのドレイン電極631dにコンタクトホールを形成して、ITOによる画素電極633を形成する。このようにして、モノリシック型アクティブマトリクス回路を形成することができる。（図6（E））

【0148】本実施例では、周辺回路領域の多孔質陽極酸化物の厚さは3000Åとしたため、低濃度N型領域510aの幅は3000Åとなり、また、マトリクス回路側領域の多孔質陽極酸化物の厚さを6000Åとしたため、低濃度N型領域510bの幅は6000Åとなる。即ち、高移動度が要求され、それほど低オフ電流特性が要求されない周辺論理回路領域の薄膜トランジスタでは低濃度N型領域の幅を狭くする。他方、高移動度は要求されず、低オフ電流特性が要求されるマトリクス回路領域の薄膜トランジスタでは低濃度不純物領域の幅を大きくするようにしたため、回路領域において必要とされる特性を有する薄膜トランジスタを選択的に形成することができる。

【0149】

【発明の効果】本発明に係る半導体回路は、周辺回路領域の活性領域には、珪素の結晶化を助長する触媒元素を含有させ、マトリクス回路領域にはこの触媒元素を含有しないようにして、互いに異なる結晶性を有する活性領域を所定の領域に形成するようにしたため、このような活性領域を使用して薄膜トランジスタを作製することにより、同一基板上に、周辺回路には高オン電流特性を有する薄膜トランジスタを形成することができ、マトリクス回路には、低オフ電流特性を有する薄膜トランジスタ形成することができる。これを液晶ディスプレイに応用した場合には、量産性の向上と特性の改善が図られる。

【0150】また、本発明の薄膜半導体の作製方法において、同一のプロセスにより、周辺回路に好適な高オン電流特性を有する薄膜トランジスタと、マトリクス回路に好適な低オフ電流特性を有する薄膜トランジスタと形成することができるので、工程が複雑にならず、生産性を低下させない。

【図面の簡単な説明】

【図1】従来のモノリシック型アクティブマトリクス回路の構成図である。

【図2】実施例1、2の作製工程毎の基板の断面図である。

【図3】実施例3、4の作製工程毎の基板の断面図である。

【図4】実施例5の作製工程毎の基板の断面図である。

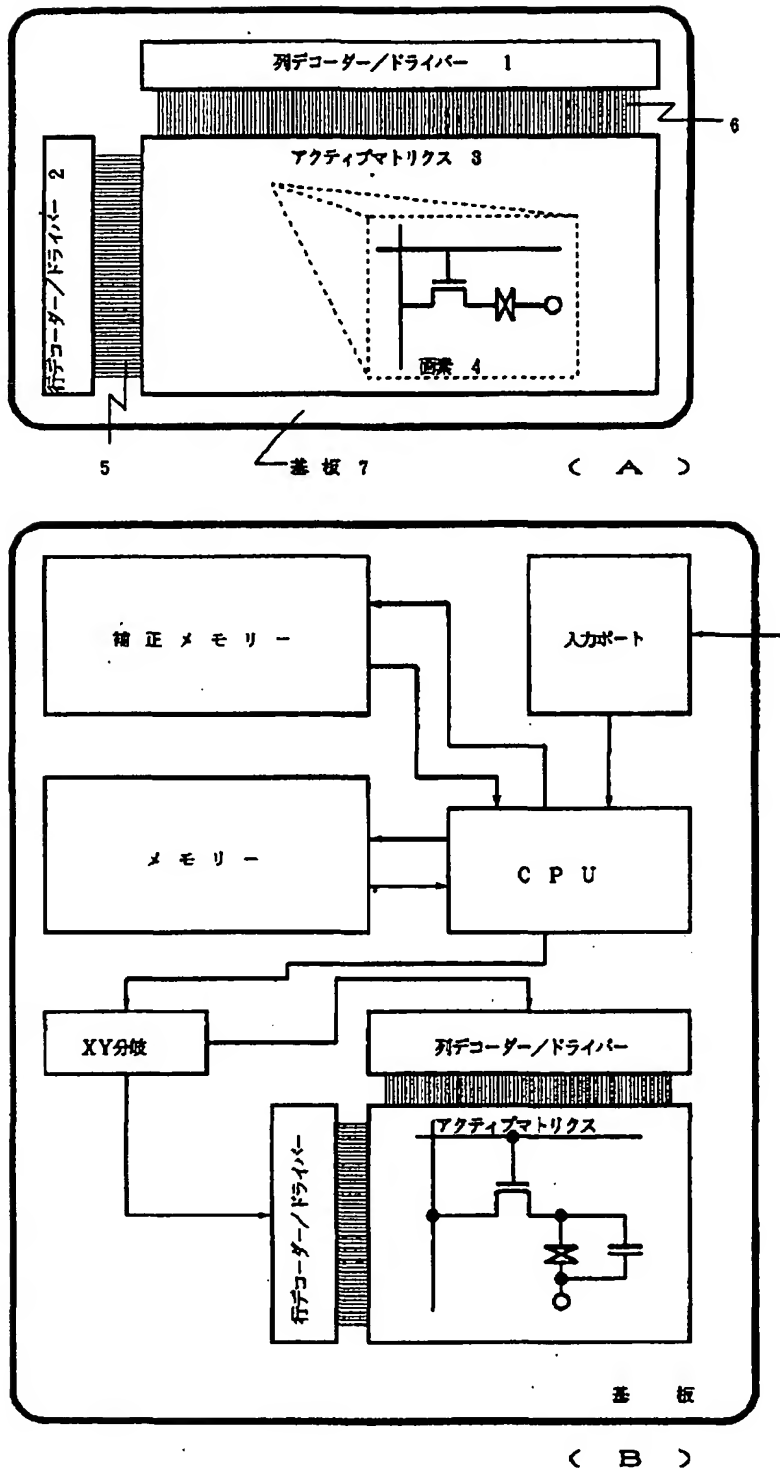
【図5】実施例6の作製工程毎の基板の断面図である。

【図6】実施例7の作製工程毎の基板の断面図である。

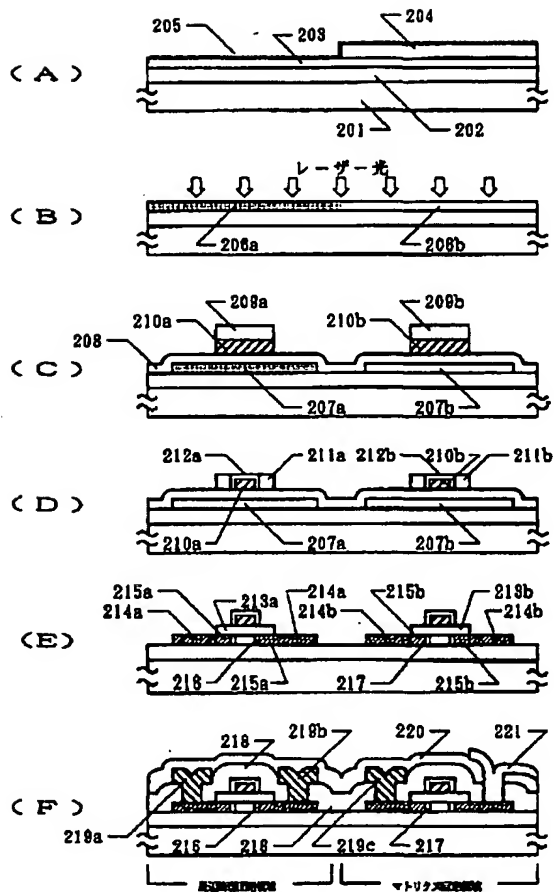
【符号の説明】

201	ガラス基板
202、204、208、216	酸化珪素膜
203	アモルファスシリ
コン膜	
205	酢酸ニッケル薄膜
206a	結晶性シリコン領
域	
206b	アモルファスシリ
コン領域	
209a、209b	フォトレジストの
マスク	
210a、210b	ゲイト電極
211a、211b	多孔質陽極酸化物
212a、212b	緻密な陽極酸化物
213a、213b	ゲイト絶縁膜
214a、214b	リンイオンが高濃度
にドーピングされた領域	
215a、215b	リンイオンが低濃度
にドーピングされた領域	
216、217	オフセットゲイト
領域	
218	酸化珪素膜
219a～219c	アルミニウムの電
極・配線	
220	窒化珪素膜
221	画素電極

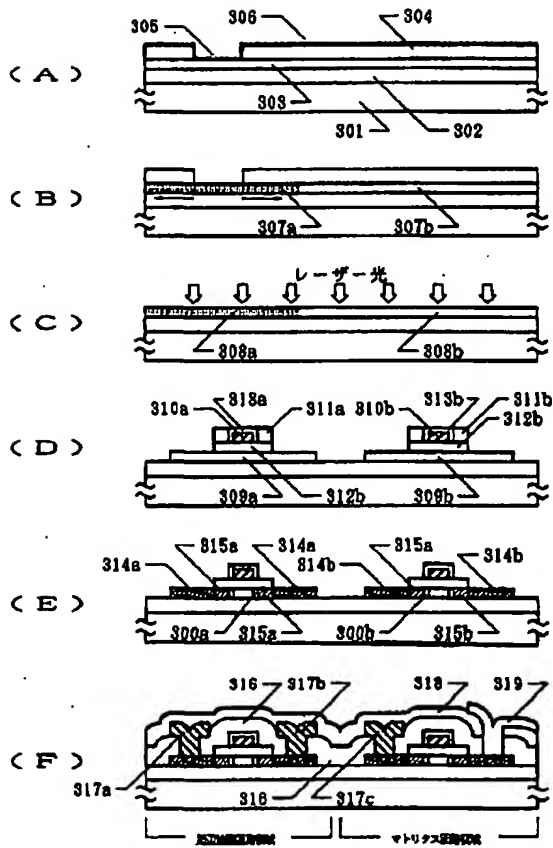
【図 1】



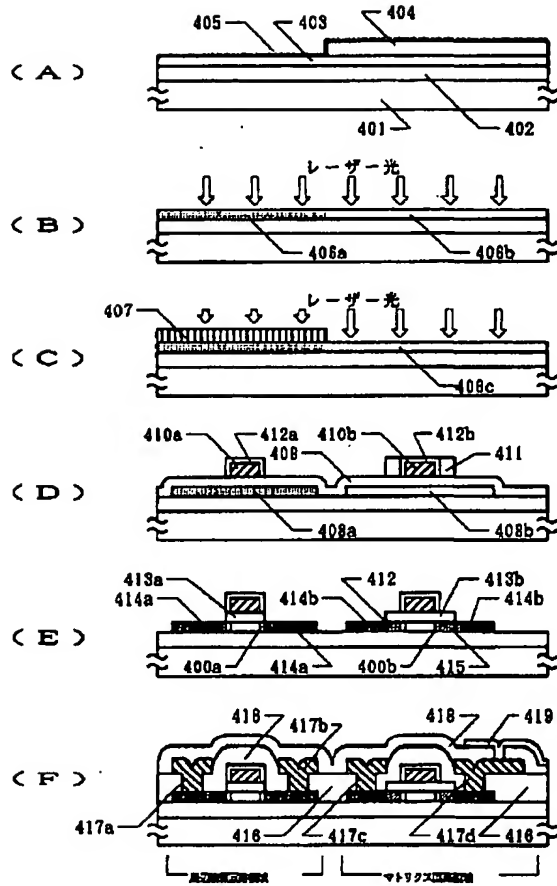
【図 2】



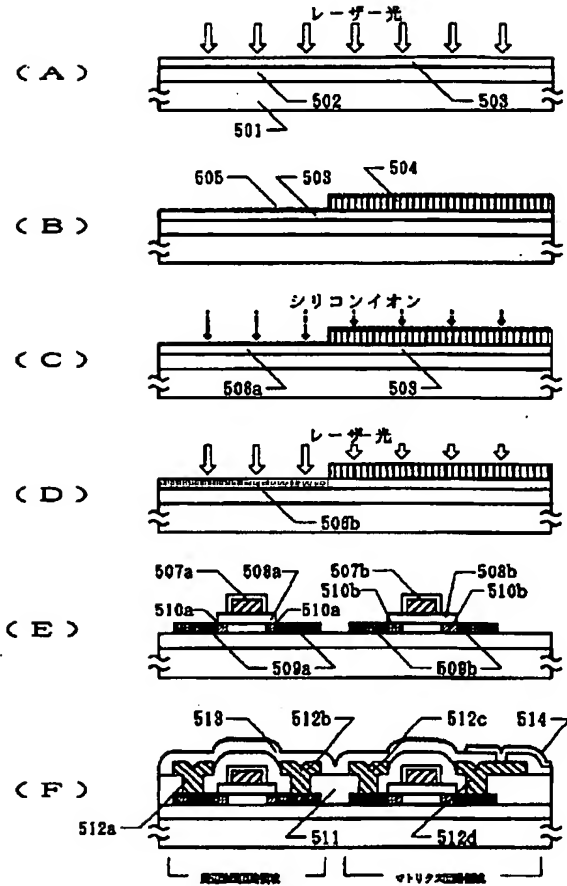
【図 3】



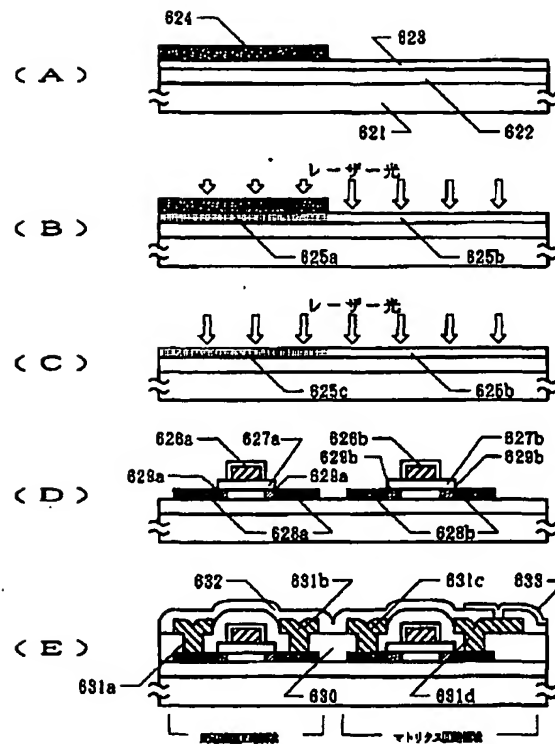
【図 4】



【図 5】



【図6】



フロントページの続き

(51) Int. Cl.⁴

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

6 2 7 G

(72) 発明者 宮永 昭治

神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

(72) 発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内